

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masanori KINUGASA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SWITCH CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-146297	May 23, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月23日

出 願 番 号

Application Number:

特願2003-146297

[ST.10/C]:

[JP2003-146297]

出 願 人

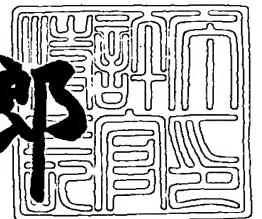
Applicant(s):

株式会社東芝

2003年 6月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046870

【書類名】 特許願

【整理番号】 14233501

【提出日】 平成15年 5月23日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/687

【発明の名称】 スイッチ回路及びバススイッチ回路

【請求項の数】 15

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 衣 笠 昌 典

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 瀧 場 明

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

 【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチ回路及びバススイッチ回路

【特許請求の範囲】

【請求項 1】

半導体基板上に形成されるスイッチ回路において、

伝送対象である信号が入力される第 1 端子と、

伝送対象である信号が出力される第 2 端子と、

前記半導体基板内の第 1 の半導体領域内に形成され、ソース端子またはドレイン端子の一方が前記第 1 端子に接続され他方が前記第 2 端子に接続される第 1 トランジスタと、

前記第 1 トランジスタのゲート電圧を制御する制御回路と、

アノード端子が前記第 1 端子に接続され、カソード端子が前記制御回路の電源端子に接続され、前記第 1 の半導体領域とは分離して形成される前記半導体基板内の第 2 半導体領域に形成される第 1 整流素子と、
を備えることを特徴とするスイッチ回路。

【請求項 2】

前記第 1 トランジスタは、P 型であることを特徴とする請求項 1 に記載のスイッチ回路。

【請求項 3】

半導体基板上に形成されるスイッチ回路において、

伝送対象である信号が入力される第 1 端子と、

伝送対象である信号が出力される第 2 端子と、

ソース端子またはドレイン端子の一方が前記第 1 端子に接続され他方が前記第 2 端子に接続される P 型の第 1 トランジスタと、

前記第 1 トランジスタのゲート電圧を制御する制御回路と、

アノード端子に電源電圧が供給され、カソード端子が前記第 1 トランジスタのバックゲートに接続され、前記半導体基板内の第 1 の半導体領域に形成される第 1 整流素子と、

アノード端子が前記第 1 端子に接続され、カソード端子が前記制御回路の電源

端子に接続され、前記第 1 の半導体領域とは分離して形成される前記半導体基板内の第 2 の半導体領域に形成される第 2 整流素子と、
を備えることを特徴とするスイッチ回路。

【請求項 4】

アノード端子に電源電圧が供給され、カソード端子が前記制御回路の電源端子に接続され、前記第 1 の半導体領域とは分離した半導体領域に形成される第 3 整流素子を備えることを特徴とする請求項 1 ～ 3 のいずれかに記載のスイッチ回路。

【請求項 5】

前記第 3 整流素子は、前記第 2 の半導体領域に形成されることを特徴とする請求項 4 に記載のスイッチ回路。

【請求項 6】

ソース端子またはドレイン端子の一方が前記第 1 端子に接続され他方が前記第 2 端子に接続され、前記第 1 トランジスタに同期してオン・オフする、前記第 1 トランジスタとは異なる導電型の第 2 トランジスタを備えることを特徴とする請求項 1 ～ 5 のいずれかに記載のスイッチ回路。

【請求項 7】

前記第 2 トランジスタは、前記第 1 及び第 2 の半導体領域とは分離して形成される第 3 の半導体領域に形成されることを特徴とする請求項 6 に記載のスイッチ回路。

【請求項 8】

前記第 1 及び第 2 端子は、いずれも双方向の入出力端子であり、
アノード端子が前記第 2 端子に接続され、カソード端子が前記制御回路の電源端子に接続され、前記第 2 の半導体領域に形成される第 4 整流素子を備えることを特徴とする請求項 1 ～ 7 のいずれかに記載のスイッチ回路。

【請求項 9】

前記第 1 のトランジスタのソース端子にアノード端子が接続され、該トランジスタの基板にカソード端子が接続される第 5 整流素子と、

前記第 1 のトランジスタのドレイン端子にアノード端子が接続され、該トラン

ジスタの基板にカソード端子が接続される第 6 整流素子と、を備え、

前記第 2 のトランジスタのバックゲートは接地されることを特徴とする請求項 1 ～ 8 のいずれかに記載のスイッチ回路。

【請求項 1 0】

前記第 1 の整流素子は、ソース端子またはドレイン端子をゲート端子と短絡させた MOS トランジスタで形成されることを特徴とする請求項 1 に記載のスイッチ回路。

【請求項 1 1】

前記第 1 及び第 2 の整流素子の少なくとも一方は、ソース端子またはドレイン端子をゲート端子と短絡させた MOS トランジスタで形成されることを特徴とする請求項 2 に記載のスイッチ回路。

【請求項 1 2】

前記制御回路は、

前記第 1 のトランジスタのゲート電圧を制御する第 1 論理回路と、

前記第 1 論理回路の出力を反転した信号により前記第 2 トランジスタのゲート電圧を制御する第 2 論理回路と、を有し、

前記第 1 論理回路の電源端子と前記第 2 論理回路の電源端子とには、前記第 3 整流素子のカソード端子が接続されることを特徴とする請求項 4 または 5 に記載のスイッチ回路。

【請求項 1 3】

請求項 1 ～ 1 2 のいずれかに記載のスイッチ回路を複数備えたことを特徴とするバススイッチ回路。

【請求項 1 4】

半導体基板上に形成されるスイッチ回路において、

伝送対象である信号が入力される第 1 端子と、

伝送対象である信号が出力される第 2 端子と、

前記半導体基板内の第 1 の半導体領域内に形成され、エミッタ端子またはコレクタ端子の一方が前記第 1 端子に接続され他方が前記第 2 端子に接続される P 型の第 1 トランジスタと、

前記第 1 トランジスタのベース電圧を制御する制御回路と、

アノード端子が前記第 1 端子に接続され、カソード端子が前記制御回路の電源端子に接続され、前記第 1 の半導体領域とは分離して形成される前記半導体基板内の第 2 半導体領域に形成される第 1 整流素子と、
を備えることを特徴とするスイッチ回路。

【請求項 1 5】

半導体基板上に形成されるスイッチ回路において、

伝送対象である信号が入力される第 1 端子と、

伝送対象である信号が出力される第 2 端子と、

エミッタ端子またはコレクタ端子の一方が前記第 1 端子に接続され他方が前記第 2 端子に接続される P 型の第 1 トランジスタと、

前記第 1 トランジスタのベース電圧を制御する制御回路と、

アノード端子に電源電圧が供給され、カソード端子が前記第 1 トランジスタのバックベースに接続され、前記半導体基板内の第 1 の半導体領域に形成される第 1 整流素子と、

アノード端子が前記第 1 端子に接続され、カソード端子が前記制御回路の電源端子に接続され、前記第 1 の半導体領域とは分離して形成される前記半導体基板内の第 2 の半導体領域に形成される第 2 整流素子と、
を備えることを特徴とするスイッチ回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、信号の通過／遮断を切替制御するスイッチ回路及びバススイッチ回路に関し、特に、この種の回路を半導体基板上に形成する技術に関する。

【0 0 0 2】

【従来の技術】

2 種類の双方向入出力端子間で信号の通過／遮断を切替制御するアナログスイッチ回路が知られている。図 8 はこの種の従来のアナログスイッチ回路の回路図である（特許文献 1 参照）。

【 0 0 0 3 】

図 8 のアナログスイッチ回路は、ソース端子／ドレイン端子が互いに接続されたPMOSトランジスタ P 1 及びNMOSトランジスタ N 1 と、これらトランジスタ P 1 , N 1 のオン・オフを制御する制御回路 1 とを備えている。PMOSトランジスタ P 1 及びNMOSトランジスタ N 1 のソース端子／ドレイン端子の一方は双方向の第 1 端子 I / O に接続され、他方は双方向の第 2 端子 O / I に接続される。

【 0 0 0 4 】

PMOSトランジスタ P 1 及びNMOSトランジスタ N 1 は互いに同期してオン・オフする。PMOSトランジスタ P 1 のソース端子及び基板間にはダイオード D 5 が接続され、ドレイン端子および基板間にはダイオード D 6 が接続されている。NMOSトランジスタ N 1 の基板は接地されている。

【 0 0 0 5 】

ダイオード D 5 , D 6 は、PMOSトランジスタ P 1 のソース／ドレイン端子と基板との間に寄生するダイオードである。これらダイオード D 5 , D 6 を設けることにより、電源電圧が供給されていない状態で、第 1 または第 2 端子 I / O , O / I の電圧が電源電圧よりも高くなると、第 1 または第 2 端子 I / O , O / I からダイオード D 5 , D 6 とNANDゲート G 1 を介して、PMOSトランジスタ P 1 のゲート電圧を引き上げて、このトランジスタ P 1 をオフする。

【 0 0 0 6 】

制御回路 1 は、制御信号 EN を反転出力するNANDゲート G 1 と、NANDゲート G 1 の出力を反転出力するインバータ INV1 とを有する。NANDゲート G 1 の出力によりPMOSトランジスタ P 1 がオン・オフ制御され、インバータ INV1 の出力によりNMOSトランジスタ N 1 がオン・オフ制御される。NANDゲート G 1 とインバータ INV1 の電源ラインにはダイオード D 1 が接続されている。

【 0 0 0 7 】

次に、図 8 のアナログスイッチ回路の動作を説明する。まず、電源電圧が供給されている場合は、制御信号 EN の論理に応じてオン・オフ動作を行う。具体的には、制御信号 EN がハイレベルであれば、NANDゲート G 1 の出力はローレベルに、インバータ INV1 の出力はハイレベルになり、PMOSトランジスタ P 1 とNMOSトラン

ジスタN1はともにオンする。これにより、第1及び第2端子I/O, O/Iの間で信号の送受が可能になる。

【0008】

また、制御信号ENがローレベルであれば、NANDゲートG1の出力はハイレベルに、インバータINV1の出力はローレベルになり、PMOSトランジスタP1とNMOSトランジスタN1はともにオフする。これにより、第1及び第2端子I/O, O/Iの間の信号伝送経路が遮断される。

【0009】

一方、電源電圧が供給されていない場合は、NANDゲートG1の出力はダイオードD1のカソード電圧と略等しい電圧になり、また、インバータINV1の出力はローレベルになる。この状態で、第1端子または第2端子に電源電圧を超える電圧が印加されると、ダイオードD5, D6を介してNAND回路G1の電源端子電圧が上昇し、NANDゲートG1の出力電圧も上昇する。したがって、PMOSトランジスタP1がオフし、第1及び第2端子I/O, O/I間の信号伝送経路は遮断される。

【0010】

【特許文献1】

米国特許公報No.5,892,387

【0011】

【発明が解決しようとする課題】

しかしながら、ダイオードD5, D6はPMOSトランジスタP1と同じウェル内に形成され、第1または第2端子I/O, O/Iの電圧が上昇してもすぐにはこのウェルの電圧は上昇しないため、NANDゲートG1の出力が変化するまでに時間がかかってしまう。このため、第1端子または第2端子の電圧が急激に上昇すると、それからしばらくの間はPMOSトランジスタP1がオンのままであり、電源電圧が供給されていないにもかかわらず、第1端子及び第2端子間が導通してしまう。

【0012】

例えば、第1端子I/Oに供給される信号電圧が急激に上昇した場合、PMOSト

ランジスタ P1 がオフするまでにタイムラグがあるため、しばらくは第 2 端子に信号が伝送され、第 2 端子は、抵抗性負荷と容量性負荷による時定数で放電を行う。ところが、第 1 及び第 2 端子 I/O, O/I 間で送受される信号の周波数が高い場合、完全に放電が終了する前に、次の信号が第 1 端子に供給されて再び第 2 端子が充電されるという動作が繰り返され、第 2 端子はハイレベル状態を保持する結果になり、第 1 及び第 2 端子間の信号伝送経路が遮断されなくなる。

【0013】

図 9 は図 8 のアナログスイッチ回路が形成される半導体基板の断面構造を示す図である。図 9 に示すように、PMOS トランジスタ P1 とダイオード D5, D6 は同じ N ウェル NW 内に形成される。

【0014】

図 8 のアナログスイッチ回路に電源が供給されていないときに、第 1 または第 2 端子 I/O, O/I の電圧が急激に上昇すると、その電圧により N ウェル NW が充電される。

【0015】

PMOS トランジスタ P1 と NMOS トランジスタ N1 は、オン状態時の抵抗値を小さくするために、これらトランジスタのサイズを他のトランジスタ（制御回路 1 を構成するトランジスタ）よりも数十倍も大きくしている。一例を挙げると、制御回路 1 内のインバータ INV1 の PMOS トランジスタ P1 のトランジスタ幅は 10 ミクロンであるのに対して、PMOS トランジスタ P1 のトランジスタ幅は 500 ミクロンである。

【0016】

このため、図 9 に示した N ウェル NW のサイズが大きくなり、半導体基板との容量（約 5 pF）も大きくなる。したがって、N ウェル NW 領域の抵抗成分（約 1 k Ω ）と時定数により、約 5 ns の遅延が生じてしまう。

【0017】

本発明は、このような点に鑑みてなされたものであり、その目的は、電源電圧が供給されていないときに、第 1 及び第 2 端子間の信号伝送を確実に遮断できるスイッチ回路及びバススイッチ回路を提供することにある。

【 0 0 1 8 】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、半導体基板上に形成されるスイッチ回路において、伝送対象である信号が入力される第1端子と、伝送対象である信号が出力される第2端子と、前記半導体基板内の第1の半導体領域内に形成され、ソース端子またはドレイン端子の一方が前記第1端子に接続され他方が前記第2端子に接続されるP型の第1トランジスタと、前記第1トランジスタのゲート電圧を制御する制御回路と、アノード端子が前記第1端子に接続され、カソード端子が前記制御回路の電源端子に接続され、前記第1の半導体領域とは分離して形成される前記半導体基板内の第2半導体領域に形成される第1整流素子と、を備える。

【 0 0 1 9 】

また、半導体基板上に形成されるスイッチ回路において、伝送対象である信号が入力される第1端子と、伝送対象である信号が出力される第2端子と、ソース端子またはドレイン端子の一方が前記第1端子に接続され他方が前記第2端子に接続されるP型の第1トランジスタと、前記第1トランジスタのゲート電圧を制御する制御回路と、アノード端子に電源電圧が供給され、カソード端子が前記第1トランジスタのバックゲートに接続され、前記半導体基板内の第1の半導体領域に形成される第1整流素子と、アノード端子が前記第1端子に接続され、カソード端子が前記制御回路の電源端子に接続され、前記第1の半導体領域とは分離して形成される前記半導体基板内の第2の半導体領域に形成される第2整流素子と、を備える。

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明に係るスイッチ回路及びバススイッチ回路について、図面を参照しながら具体的に説明する。以下では、スイッチ回路の一例としてアナログスイッチ回路について説明する。

【 0 0 2 1 】

(第1の実施形態)

図 1 は本発明に係るアナログスイッチ回路の第 1 の実施形態の回路図である。
図 1 のアナログスイッチ回路は、双方向の信号入出力用の第 1 及び第 2 端子 I / O, O / I と、第 1 及び第 2 端子 I / O, O / I 間に並列接続された PMOS トランジスタ P 1 及び NMOS トランジスタ N 1 と、これらトランジスタのオン・オフを制御する制御回路 1 と、ダイオード D 1 ~ D 6 とを備えている。

【 0 0 2 2 】

PMOS トランジスタ P 1 のソース端子またはドレイン端子の一方は第 1 端子に接続され、他方は第 2 端子に接続されている。同様に、NMOS トランジスタ N 1 のソース端子またはドレイン端子の一方は第 1 端子に接続され、他方は第 2 端子に接続されている。PMOS トランジスタ P 1 と NMOS トランジスタ N 1 は互いに同期してオン・オフする。

【 0 0 2 3 】

制御回路 1 は、制御信号 EN を反転出力する NAND ゲート G 1 と、NAND ゲート G 1 の出力を反転出力するインバータ INV1 とを有する。NAND ゲート G 1 の出力により PMOS トランジスタ P 1 はオン・オフ制御され、インバータ INV1 の出力により NMOS トランジスタ N 1 はオン・オフ制御される。

【 0 0 2 4 】

図 2 は制御回路 1 の内部構成を示す回路図である。NAND ゲート G 1 は、PMOS トランジスタ P 2, P 3 と NMOS トランジスタ N 2, N 3 とを有する。インバータ INV1 は直列接続された PMOS トランジスタ P 4 と NMOS トランジスタ N 4 とを有する。

【 0 0 2 5 】

図 1 に示すダイオード D 1 のアノード端子には電源電圧が供給され、カソード端子は制御回路 1 の電源端子に接続されている。ダイオード D 2 のアノード端子には電源電圧が供給され、カソード端子は PMOS トランジスタ P 1 の基板に接続されている。NMOS トランジスタ N 1 の基板は接地されている。

【 0 0 2 6 】

ダイオード D 3 のアノード端子は第 1 端子 I / O に接続され、カソード端子は制御回路 1 の電源端子に接続されている。ダイオード D 4 のアノード端子は第 2 端子 O / I に接続され、カソード端子は制御回路 1 の電源端子に接続されている。

【0027】

ダイオードD5のアノード端子は第1端子I/Oに接続され、カソード端子は基板に接続されている。ダイオードD6のアノード端子は第2端子O/Iに接続され、カソード端子は基板に接続されている。

【0028】

ダイオードD5、D6は、PMOSトランジスタP1のソース/ドレイン端子と基板との間に寄生するダイオードである。これらダイオードD5、D6は、第1及び第2端子I/O、O/Iの電位をNウェルNW1に伝達する役割を担う。これらダイオードD5、D6を設けることにより、電源電圧が供給されていない状態で、第1及び第2端子I/O、O/Iの一方に電源電圧よりも高い電圧が入力された場合に、ダイオードD5、D6を介して、PMOSトランジスタP1の基板電位を引き上げることができる。

【0029】

図8と異なり、ダイオードD5、D6は単にPMOSトランジスタP1の基板電位を設定するために用いられ、NANDゲートG1の電源端子の電圧制御は別個のNウェル内に形成されるダイオードD3、D4が行う。

【0030】

図3は図1のアナログスイッチ回路が形成される半導体基板の断面構造の一例を示す図である。図3に示すように、P型基板10上にPウェルPWとNウェルNW1、NW2とが形成されている。PウェルPWにはNMOSトランジスタN1が形成され、NウェルNW1にはPMOSトランジスタP1とダイオードD2、D5、D6とが形成され、NウェルNW2には制御回路1とダイオードD1、D3、D4とが形成される。

【0031】

次に、図1～図3のアナログスイッチ回路の動作を説明する。まず、電源電圧が供給されている場合の動作を説明する。制御信号ENがハイレベルであれば、NANDゲートG1の出力がローレベル、インバータINV1の出力がハイレベルになるため、PMOSトランジスタP1とNMOSトランジスタN1はともにオンし、第1及び第

2 端子 I / O, O / I 間で双方向に信号伝送が行われる。

【 0 0 3 2 】

また、制御信号 EN がローレベルであれば、NAND ゲート G 1 の出力がハイレベル、インバータ INV1 の出力がローレベルになるため、PMOS トランジスタ P 1 と NMOS トランジスタ N 1 はともにオフし、第 1 及び第 2 端子 I / O, O / I 間の信号伝送は遮断される。

【 0 0 3 3 】

一方、電源電圧が供給されない場合は、インバータ INV1 の出力はローレベルになるが、NAND ゲート G 1 の出力は図 2 に示すようにダイオード D 1 のカソード電圧に略等しくなる。インバータ INV1 の出力がローレベルであることから、NMOS トランジスタ N 1 は常にオフ状態である。

【 0 0 3 4 】

このとき、第 1 または第 2 端子 I / O, O / I に電源電圧よりも高い電圧が印加されると、ダイオード D 3 を介して、ダイオード D 1 のカソード電圧が上昇する。このため、NMOS トランジスタ N 1 の出力はハイレベルになり、PMOS トランジスタ P 1 はオフする。PMOS トランジスタ P 1 がオフすると、第 1 及び第 2 端子 I / O, O / I 間の信号伝送は確実に遮断される。

【 0 0 3 5 】

図 8 に示した従来のアナログスイッチ回路と比較して、本実施形態では、NAND ゲート G 1 とダイオード D 1, D 3, D 4 とを同じ N ウェル NW 2 上に形成し、かつこの N ウェル NW 2 とは別個の N ウェル NW 1 上に PMOS トランジスタ P 1 とダイオード D 2, D 5, D 6 を形成している。

【 0 0 3 6 】

すなわち、本実施形態は、2 つの N ウェル NW 1, NW 2 を有し、ダイオード D 1, D 3, D 4 が形成される N ウェル NW 2 と、ダイオード D 2, D 5, D 6 及び PMOS トランジスタ P 1 が形成される N ウェル NW 1 とを別個に設け、各 N ウェルのサイズを図 8 に示す従来の N ウェルよりも小さくしている。より具体的には、N ウェル NW 2 と p 型半導体基板との間の容量 C 2 が図 8 に比べて約 1/10 の約 0.5pF になる。したがって、第 1 及び第 2 端子 I / O, O / I の急激な電圧上

昇がNANDゲートG 1の電源端子に伝達されるまでの時間も大幅に短縮され、約0.5nsになる。

【 0 0 3 7 】

制御回路1を信号が通過するのに約0.5nsの時間が必要であると仮定すると、合計で1.0nsの遅延でPMOSトランジスタP 1をオフすることができる。

【 0 0 3 8 】

このように、本実施形態によれば、PMOSトランジスタP 1やこのトランジスタの基板電位設定用のダイオードD 5、D 6が形成されるNウェルNW 1とは別個のNウェルNW 2内に、第1及び第2端子I / O、O / Iの急激な電圧上昇をNANDゲートG 1に伝達するダイオードD 3、D 4を形成するため、Nウェルのサイズを従来よりも大幅に縮小でき、第1及び第2端子I / O、O / Iの急激な電圧上昇を迅速にNANDゲートG 1の電源端子に伝達できる。したがって、電源電圧が供給されていない状態で第1または第2端子I / O、O / Iの電圧が急激に上昇した場合に、迅速にPMOSトランジスタP 1をオフできる。これにより、第1及び第2端子I / O、O / I間の信号伝送を確実に遮断できる。

【 0 0 3 9 】

(第2の実施形態)

第2の実施形態は、図1のダイオードD 1～D 6をMOSトランジスタで構成したものである。

【 0 0 4 0 】

図4は本発明に係るアナログスイッチ回路の第2の実施形態の回路図である。図4のアナログスイッチ回路では、ダイオードD 1～D 6をMOSトランジスタM 1～M 6で構成しており、これらMOSトランジスタは、ソース端子とゲート端子を短絡させている。

【 0 0 4 1 】

図4の回路の動作は図1の回路と全く同じであるため、説明を省略する。

【 0 0 4 2 】

上述した第1及び第2の実施形態のアナログスイッチ回路は、図5に示すように、複数個(例えば8個)を1つのICパッケージに収納してバススイッチ回路1

0として用いられる場合がある。この種のバススイッチ回路10は、データバスやアドレスバスなどのデジタル回路で汎用的に利用可能である。

【0043】

上述した各実施形態では、MOSトランジスタを用いてアナログスイッチ回路を構成する例を説明したが、本発明は、バイポーラトランジスタやBi-CMOSトランジスタを用いて構成することも可能である。

【0044】

バイポーラトランジスタP1，N1を用いて構成した回路の一例は例えば図6のようになる。回路動作は図1と同じである。

【0045】

また、上述した各実施形態では、第1及び第2端子I/O，O/I間で双方向に信号を送受する例を説明したが、本発明は片方向のみに信号を伝送するアナログスイッチ回路にも適用可能である。

【0046】

例えば、図7は第1端子I/Oから第2端子の方向のみに信号を伝送できるようにしたアナログスイッチ回路の回路図の一例を示している。図7の回路では、第2端子O/IとNANDゲートG1の電源端子との間にダイオードが接続されていない点を除けば、図1の回路と同様である。

【0047】

【発明の効果】

以上詳細に説明したように、本発明によれば、第1トランジスタが形成される第1の半導体領域とは別個の第2の半導体領域に、第1端子に接続された第1整流素子を設けるため、電源が供給されない状態で第1端子の電圧が急激に上昇した場合に、迅速に第1トランジスタをオフでき、第1及び第2端子間での信号伝送を確実に遮断できる。

【0048】

また、本発明によれば、第1のトランジスタのバックゲートに接続される第1整流素子が形成される第1の半導体領域とは別個の第2の半導体領域に、第1端子に接続された第1整流素子を設けるため、電源が供給されない状態で第1端子

の電圧が急激に上昇した場合に、迅速に第 1 トランジスタをオフでき、第 1 及び第 2 端子間での信号伝送を確実に遮断できる。

【図面の簡単な説明】

【図 1】

本発明に係るアナログスイッチ回路の第 1 の実施形態の回路図。

【図 2】

制御回路 1 の内部構成を示す回路図。

【図 3】

図 1 のアナログスイッチ回路が形成される半導体基板の断面構造の一例を示す図。

【図 4】

本発明に係るアナログスイッチ回路の第 2 の実施形態の回路図。

【図 5】

バススイッチ回路の概略構成を示す図。

【図 6】

バイポーラトランジスタを用いて構成したアナログスイッチ回路の一例を示す回路図。

【図 7】

第 1 端子 I / O から第 2 端子の方向のみに信号を伝送できるようにしたアナログスイッチ回路の一例を示す回路図。

【図 8】

従来のアナログスイッチ回路の回路図。

【図 9】

図 8 のアナログスイッチ回路が形成される半導体基板の断面構造を示す図。

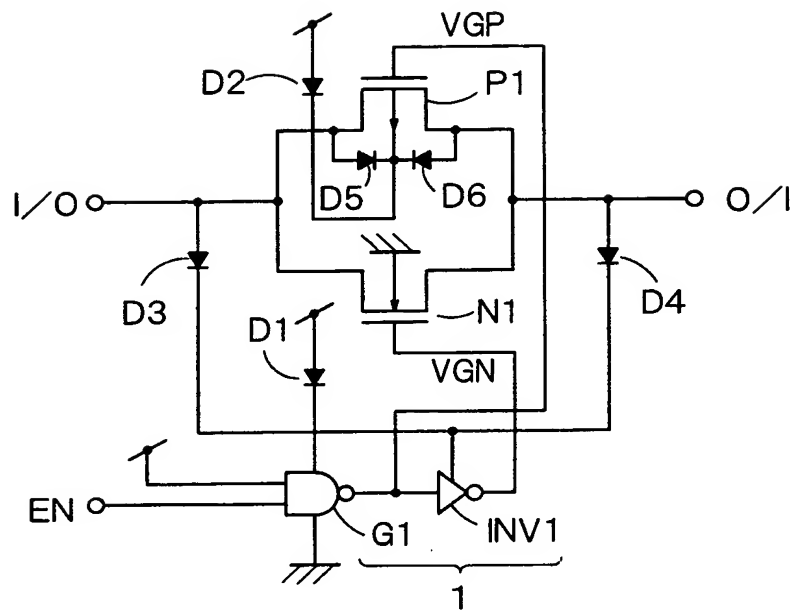
【符号の説明】

- 1 制御回路
- 1 0 バススイッチ回路
- D 1 ～ D 6 ダイオード
- P 1 PMOS トランジスタ

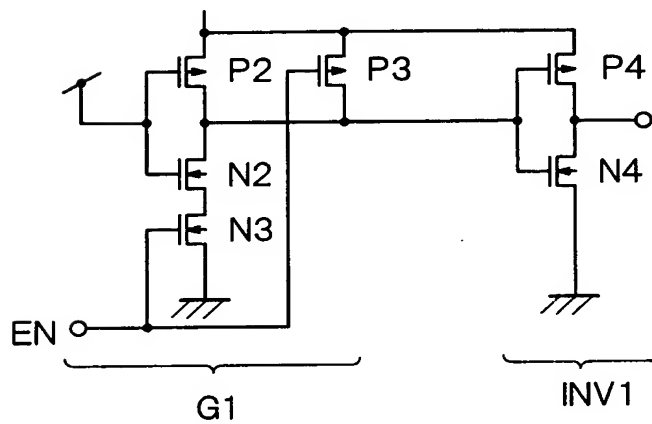
N 1 NMOSトランジスタ

【書類名】 図面

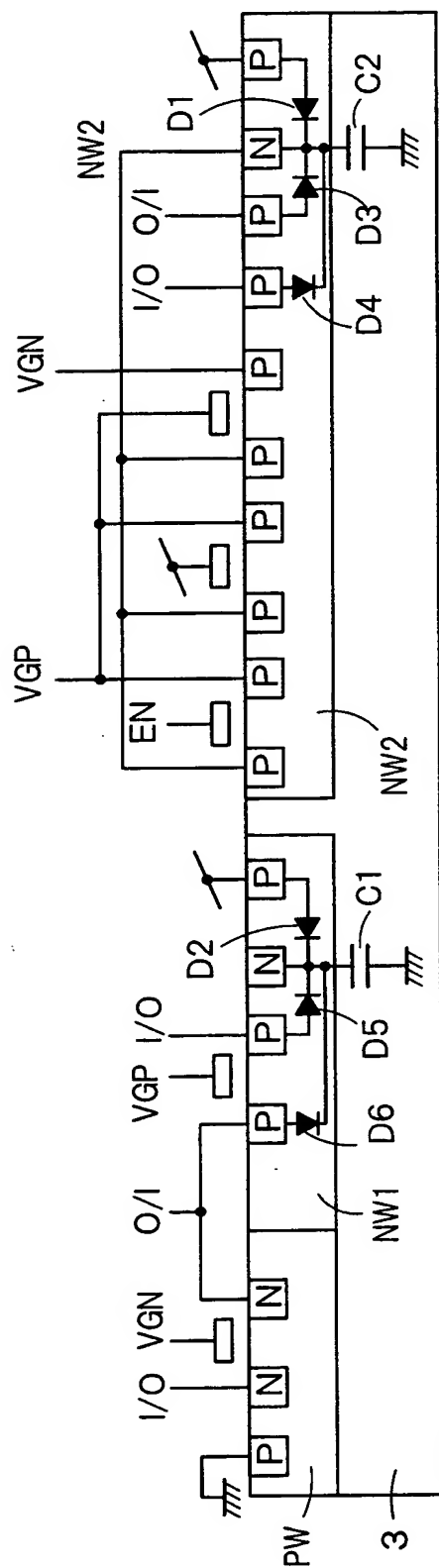
【図 1】



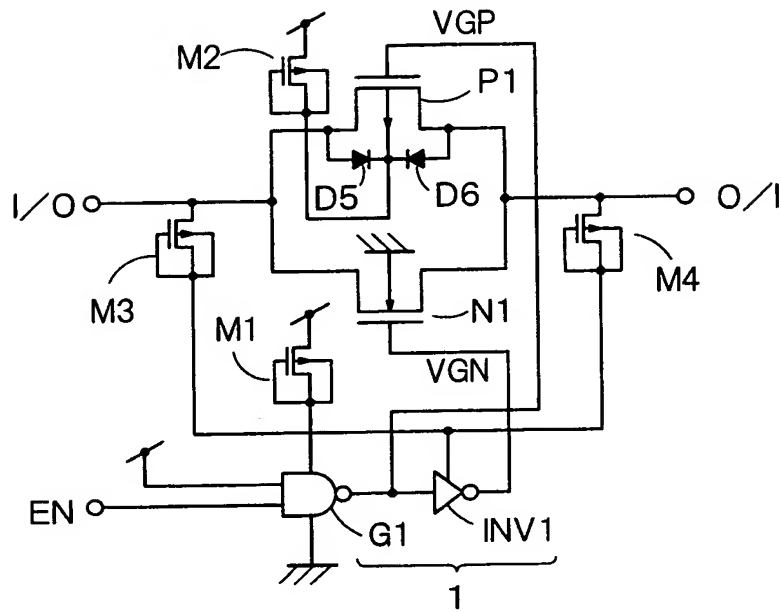
【図 2】



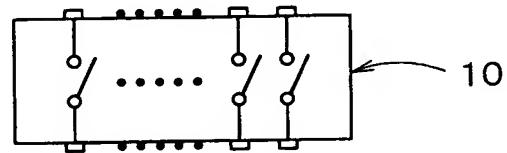
【図 3】



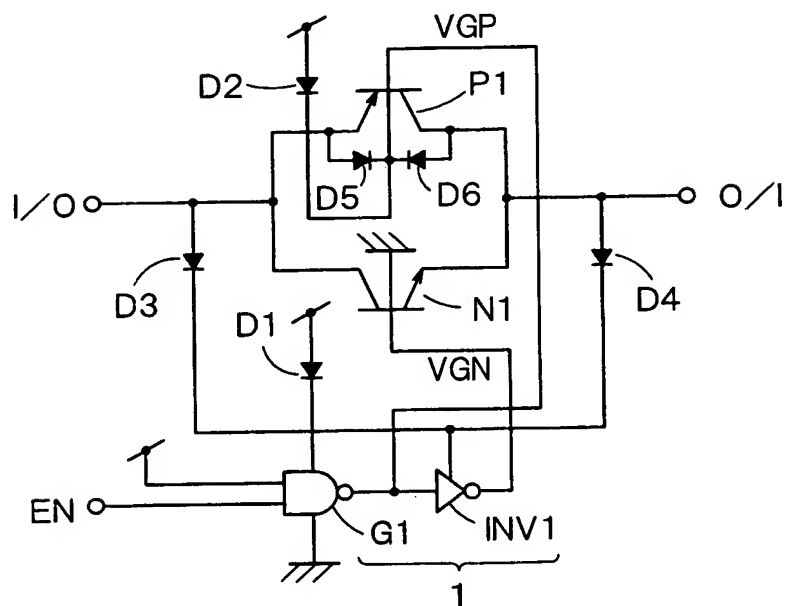
【図 4】



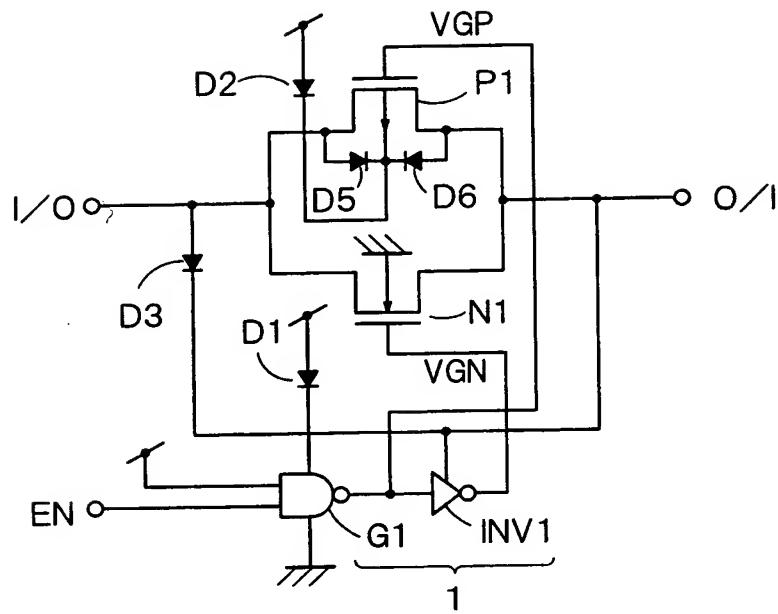
【図 5】



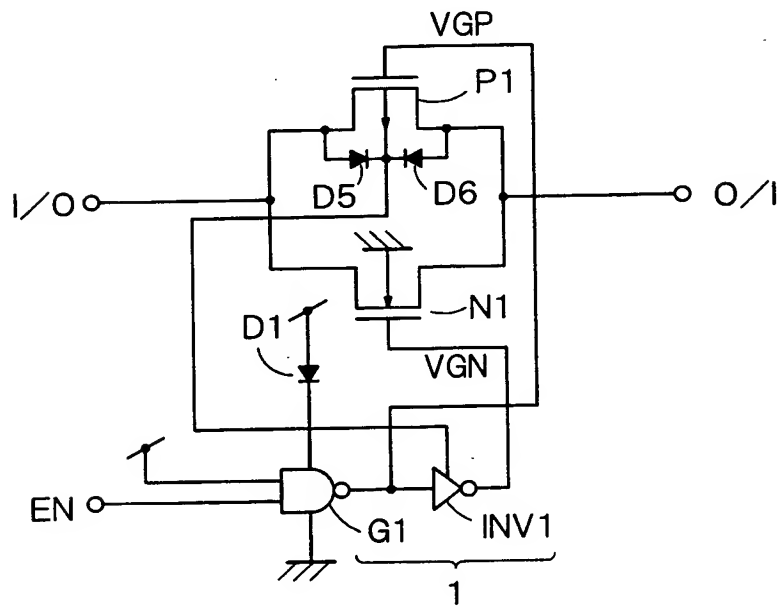
【図 6】



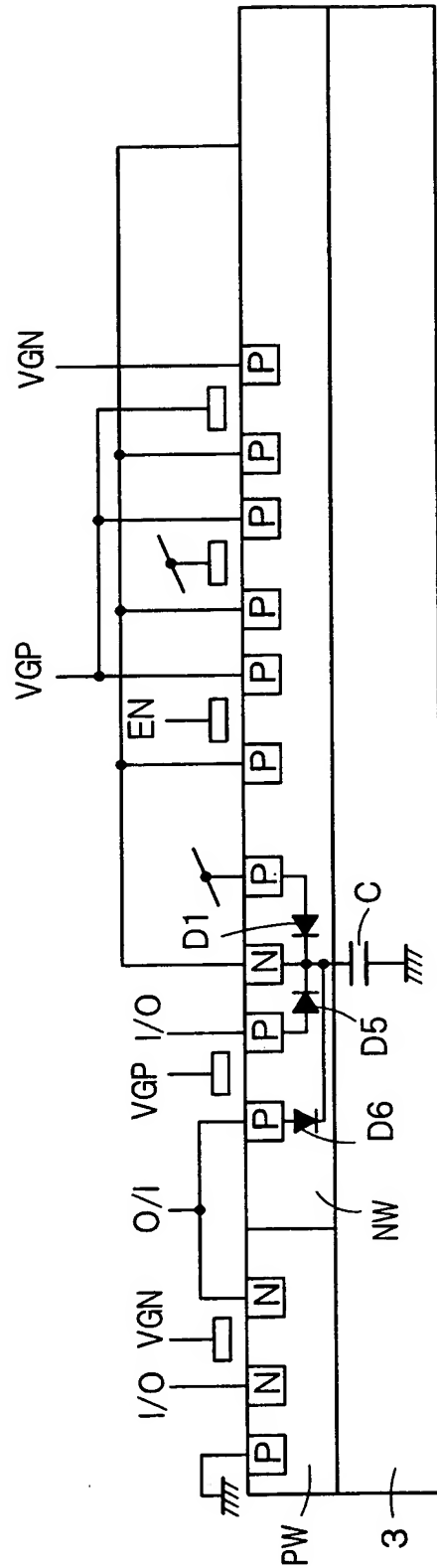
【図 7】



【図 8】



【图 9】



【書類名】 要約書

【要約】

【課題】 電源電圧が供給されていないときに、第 1 及び第 2 端子間の信号伝送を確実に遮断できるようになる。

【解決手段】 アナログスイッチ回路は、双方向の信号入出力用の第 1 及び第 2 端子 I / O, O / I と、第 1 及び第 2 端子 I / O, O / I 間に並列接続された PMOS トランジスタ P 1 及び NMOS トランジスタ N 1 と、これらトランジスタのオン・オフを制御する制御回路 1 と、ダイオード D 1 ~ D 6 とを備えている。PMOS トランジスタ P 1 やこのトランジスタの基板電位設定用のダイオード D 5, D 6 が形成される N ウェル NW 1 とは別個の N ウェル NW 2 内に、第 1 及び第 2 端子 I / O, O / I の急激な電圧上昇を NAND ゲート G 1 に伝達するダイオード D 3, D 4 を形成するため、N ウェルのサイズを従来よりも大幅に縮小でき、第 1 及び第 2 端子 I / O, O / I の急激な電圧上昇を迅速に NAND ゲート G 1 の電源端子に伝達できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝